

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-297563

(43)Date of publication of application : 18.11.1997

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
H04N 5/66

(21)Application number : 08-342769

(71)Applicant : NEC CORP

(22)Date of filing : 06.12.1996

(72)Inventor : NOSE TAKASHI  
HAYAMA HIROSHI

(30)Priority

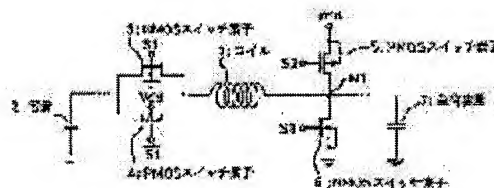
Priority number : 08 80794 Priority date : 08.03.1996 Priority country : JP

## (54) CIRCUIT AND METHOD FOR DRIVING CAPACITIVE LOAD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a driving circuit which is capable of driving with low power consumption even when capacitive load is at a low voltage.

SOLUTION: A capacitive load 7 with its end grounded and an inductive element are connected in series through an analog circuit and connected with another capacitor 2 one end of which is grounded to form an LC serial resonance circuit. A PMOS switching element 5 is connected between the ungrounded terminal of the capacitive load 7 and a positive driving voltage source Vdd and an NMOS switching element 6 is connected between the ungrounded terminal of the above capacitive load 7 and the ground terminal to form the drive circuit.



## LEGAL STATUS

[Date of request for examination]

06.12.1996

[Date of sending the examiner's decision of rejection] 23.03.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3226815

[Date of registration] 31.08.2001

[Number of appeal against examiner's decision of rejection] 11-006321

[Date of requesting appeal against examiner's decision of rejection] 16.04.1999

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-297563

(43) 公開日 平成9年(1997)11月18日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0
H 0 4 N 5/66	1 0 2		H 0 4 N 5/66	1 0 2 B

審査請求 有 請求項の数11 F D (全 19 頁)

(21) 出願番号 特願平8-342769

(22) 出願日 平成8年(1996)12月6日

(31) 優先権主張番号 特願平8-80794

(32) 優先日 平8(1996)3月8日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 能勢 崇

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 葉山 浩

東京都港区芝五丁目7番1号 日本電気株式会社内

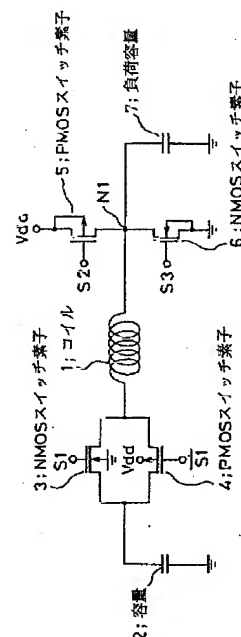
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 容量性負荷の駆動回路及び駆動方法

(57) 【要約】

【課題】低電圧の付加容量でも、低消費電力駆動が可能な駆動回路を提供する。

【解決手段】負荷容量7の一端を接続し、該負荷容量7と誘電素子をアナログスイッチ回路を介して直列に接続し、一端が接地された別の容量2を直列に接続してLC直列共振回路を形成し、前記負荷容量7の接地されていない端子と正の駆動電圧源との間にPMOSスイッチ素子を接続し、前記負荷容量7の接地されていない端子と接地端子との間にNMOSスイッチ素子を接続した駆動回路を用いる。



## 【特許請求の範囲】

【請求項1】一端が接地された容量の他端にアナログスイッチ回路を介して誘導素子を直列形態に接続すると共に、一端が接地された容量性負荷の他端を該誘導素子に直列形態に接続してLC直列共振回路を形成し、前記容量性負荷の前記他端と正の駆動電圧源との間にPMOSスイッチ素子を接続し、前記容量性負荷の前記他端と接地端子との間にNMOSスイッチ素子を接続してなることを特徴とする駆動回路。

【請求項2】一端が接地された誘導素子をアナログスイッチ回路を介して、一端が接地された容量性負荷の他端に直列形態に接続してLC直列共振回路を形成し、前記容量性負荷の前記他端と正の駆動電圧源との間にPMOSスイッチ素子を接続し、前記容量性負荷の他端と負の駆動電圧源との間にNMOSスイッチ素子を接続してなることを特徴とする駆動回路。

【請求項3】前記アナログスイッチ回路としてCMOSトランスファークロスをを用いたことを特徴とする請求項1又は2記載の駆動回路。

【請求項4】前記PMOSスイッチ素子、前記NMOSスイッチ素子、および前記アナログスイッチ回路が、薄膜トランジスタ素子で構成されたことを特徴とする請求項1から3のいずれかに記載の駆動回路。

【請求項5】請求項1から4のいずれかに記載の駆動回路の前記容量性負荷が、第1の基板上に形成された走査線と信号線の各交差部付近に薄膜電界効果型トランジスタ（以下「TFT」と略記する）によるスイッチング素子を配設し、

前記走査線と前記TFTのゲート電極が接続され、前記信号線と前記TFTのソース電極が接続され、前記TFTのドレイン電極が画素電極に接続され、前記画素電極と液晶を挟持する第2の基板に配置された対向電極との間に印加した電圧により液晶を駆動する構造のアクティブマトリクス液晶パネルであり、前記アクティブマトリクス液晶パネルの前記対向電極が、前記容量性負荷の他端の位置に接続されたことを特徴とする駆動回路。

【請求項6】請求項5に記載の前記アクティブマトリクス液晶パネルにおいて、

前記対向電極を前記第1の基板側に配置された前記画素電極と前記信号線方向の前記画素電極間の領域に対向する部分を、前記信号線と平行にパターンニングし、パターンニングされた前記対向電極を1ラインおきにつなぎ同電位とした第1の電極群と、

前記第1の電極群以外のパターンニングされた前記対向電極をつなぎ同電位とした第2の電極群の2つの電極群をもつパネル構造を形成し、

請求項1から4のいずれかに記載の前記容量性負荷が、前記第1の電極群と前記第1の基板との間における容量であり、

前記第1の電極群を前記容量性負荷の前記他端の位置に接続した第1の駆動回路群と、

請求項1から4のいずれかに記載の前記容量性負荷が、前記第2の電極群と前記第1の基板との間における容量であり、

前記第2の電極群を前記容量性負荷の前記他端の位置に接続した第2の駆動回路群と、  
からなる二組の駆動回路群を形成してなることを特徴とする駆動回路。

【請求項7】請求項6に記載の前記パネル構造において、

前記第1の電極群に、アナログスイッチ回路を介して誘導素子を直列形態に接続すると共に、前記第2の電極群を前記該誘導素子に直列形態に接続してLC直列共振回路を形成し、

前記第1の電極群と正の駆動電圧源との間にPMOSスイッチ素子を接続し、

前記第1の電極群と接地端子との間にNMOSスイッチ素子を接続し、

前記第2の電極群と正の駆動電圧源との間にPMOSスイッチ素子を接続し、前記第2の電極群と接地端子との間にNMOSスイッチ素子を接続してなることを特徴とする駆動回路。

【請求項8】請求項5に記載の前記駆動回路の駆動方法において、

前記第1の基板上の前記信号線に印加される信号波形を前記画素電極に印加すべき画像信号に対応して駆動し、前記信号波形の立ち上がり、立ち下がりに同期して、請求項1から4のいずれかに記載の前記NMOSスイッチ素子、前記PMOSスイッチ素子とともに開状態として、前記該誘導素子、前記容量、及び前記アクティブマトリクス液晶パネルから構成されるLC直列共振回路の共振周期の概ね2分の1の期間、前記アナログスイッチ回路をオンし、前記アクティブマトリクス液晶パネルの前記対向電極に蓄積された電荷を前記該誘導素子へ移す第1の期間と、

前記アナログスイッチ回路、前記PMOSスイッチ素子とともに開状態として、前記NMOSスイッチ素子をオンする第2の期間と、

前記NMOSスイッチ素子、前記PMOSスイッチ素子とともに開状態として、共振周期の概ね2分の1の期間、前記アナログスイッチ回路をオンし、前記該誘導素子に蓄積された電荷を前記アクティブマトリクス液晶パネルの前記対向電極へ移す第3の期間と、

前記アナログスイッチ回路、前記NMOSスイッチ素子とともに開状態として、前記PMOSスイッチ素子をオンする第4の期間と、

の4つの期間を順に繰り返すことで、前記対向電極の電圧を交流駆動し、前記走査線及び前記信号線を、隣り合う前記走査線ごとに前記対向電極に対する前記画素電極

に印加される電圧極性が反対になるように順次駆動（これを「走査線反転駆動法」と略記する）することを特徴とする駆動方法。

【請求項9】前記走査線に印加する走査線信号を1ライン以上おきに走査して、複数フレームで1画面を構成するようにしたことを特徴とする請求項8記載の駆動方法。

【請求項10】請求項7に記載の前記駆動回路の駆動方法において、

前記駆動回路の前記第1の駆動回路群と前記第2の駆動回路群のそれぞれが、請求項8に記載の前記駆動方法で駆動し、

前記第1の駆動回路群と前記第2の駆動回路群を逆相で駆動し、

前記第1の駆動回路群と前記第2の駆動回路群のそれぞれにおいて、前記アナログスイッチ回路に印加される信号波形の立ち上がり時に同期して前記第1の基板上の前記信号線に印加される信号波形を前記画素電極に印加すべき画像信号に対応して駆動し、

前記第1の基板上の前記走査線及び前記信号線を、隣り合う前記画素電極ごとに前記対向電極に対する前記画素電極に印加される電圧極性が反対になるように順次駆動（これを「ドット反転駆動法」という）することを特徴とする駆動方法。

【請求項11】請求項7に記載の前記駆動回路の駆動方法において、

前記駆動回路の前記走査線及び前記信号線を、前記ドット反転駆動法で駆動し、

前記第1の電極群の電位と前記第2の電極群の電位が逆極性で駆動され、

前記第1の電極群と正の駆動電圧源との間の前記PMOSスイッチ素子と、前記第2の電極群と接地端子との間の前記NMOSスイッチ素子と、が同時にオンし、

前記第1の電極群と接地端子との間の前記NMOSスイッチ素子と、前記第2の電極群と正の駆動電圧源との間の前記PMOSスイッチ素子と、が同時にオンするように駆動することを特徴とする駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、駆動回路に関し、特に、比較的低電圧で容量性負荷を駆動するという用途、例えば液晶ディスプレイの対向電極や信号線の低電力駆動回路に用いて好適な駆動回路に関する。

【0002】

【従来の技術】平面ディスプレイの信号線などの容量性負荷を駆動する、低消費電力駆動回路およびその駆動方法については、例えば文献（1987年発行のソサイエティ・フォー・インフォメーション・ディスプレイ国際シンポジウムの技術ダイジェスト、第92～95頁(1987 Society for Information Display International

al Symposium Digest, vol. 18, pp. 92-95)）

に、交流駆動のプラズマディスプレイの駆動回路の技術事項が記載されている。図18は、上記文献に記載された駆動回路を示したものである。

【0003】図18を参照して、従来のプラズマディスプレイの駆動回路は、一端が接地された負荷容量7の他端は、電源V<sub>dd</sub>と接地間に接続されたスイッチ素子45、46の接続点である節点N1に接続され、節点N1にはコイル41の一端が接続され、コイル41の他端は、ダイオード47のカソードとダイオード48のアノードが共通接続され、ダイオード47のカソードとダイオード48のアノードはそれぞれスイッチ素子43、44を介して、一端が接地された容量42の他端に接続され、負荷容量7を駆動する。スイッチ素子43～46はアナログスイッチ素子から構成されている。なお、上記文献には、スイッチ素子としては、基板がソース端子に短絡されたNMOSトランジスタのみの構成が示されているが、図18では、広い範囲の素子構成も含めるため、一般的なアナログスイッチ素子として示している。図18において、ダイオード47及び48は、基板がソース端子に短絡されたNMOSトランジスタに含まれる場合も多い。

【0004】なお、図18に示す駆動回路と同様な構成は、例えば特開平6-274125号公報等にも記載されている。

【0005】

【発明が解決しようとする課題】図18に示す従来のプラズマディスプレイの駆動回路では、駆動電圧(V<sub>dd</sub>)の値として100Vという高電圧の場合の動作が例示されている。

【0006】しかしながら、図18に示した従来の駆動回路においては、駆動電圧が比較的低い場合、例えば駆動電圧が5V程度以下などの場合には、消費電力が大きくなるという問題がある。

【0007】この問題を以下に検討する。まず、図18に示した従来の駆動回路の動作について説明する。

【0008】図18に示す駆動回路では、負荷容量7の端子電圧を0[V]とV<sub>dd</sub>[V]に、周期的に低電力で駆動する。この手順は、以下の通りである。

【0009】(1)スイッチ素子43、45および46をとともに開状態として、コイル41、容量42、及び負荷容量7から構成されるLC直列共振回路の共振周期の概ね2分の1時間、スイッチ素子44をオンし、負荷容量7に蓄積された電荷をコイル41へ移す(第1の期間)。

【0010】(2)スイッチ素子43、44および45をとともに開状態として、スイッチ素子46をオンする(第2の期間)。

【0011】(3)スイッチ素子44、45及び46をとともに開状態として、共振周期の概ね2分の1時間、ス

スイッチ素子43をオンし、コイル41に蓄積された電荷を負荷容量7へ移す(第3の期間)。

【0012】(4)スイッチ素子43、44および46とともに開状態として、スイッチ素子45をオンする(第4の期間)。

【0013】上記手順(1)～(4)を順に繰り返すものである。

【0014】上記第1の期間では、駆動電圧 $V_{dd}$ で負荷容量7に充電された電荷をLC共振現象を利用して、コイル41に移す。上記第2の期間では、負荷容量7の端子電圧を0[V]に保持する。また上記第3の期間では、コイル41に移された電荷を負荷容量7に戻し、その端子電圧を $V_{dd}$ [V]近くまで昇圧する。そして上記第4の期間では、負荷容量7の端子電圧を $V_{dd}$ [V]に設定し、保持する。

【0015】この駆動方法では、電気エネルギーは、コイル及び容量、スイッチ素子、ダイオードの寄生抵抗成分でしか消費されないため負荷容量7の端子電圧を0[V]と $V_{dd}$ [V]の間で周期的に低電力で駆動することができる。

【0016】上記文献でも明示されているように、図18に示す従来の駆動回路では、例えば駆動電圧 $V_{dd}$ が100[V]以上のような場合には、低消費電力駆動が可能とされている。

【0017】しかしながら、駆動電圧 $V_{dd}$ が例えば5[V]程度の低電圧の場合には、図18に示す従来の駆動回路では低消費電力駆動ができなくなる。

【0018】この理由は、図18に示す従来の駆動回路においては、0.6～1V程度の値を有するダイオード47及び48の順方向電圧( $V_f$ )の値が、5[V]という駆動電圧 $V_{dd}$ に対して、無視できなくなることによる。

【0019】ダイオード48は、そのカソード電位が( $V_{dd}-V_f$ )まで上昇すると、オフするので、負荷容量7の端子電圧は、降圧時は、ダイオードの順方向電圧 $V_f$ [V]までしか下がらない。また、ダイオード47も、そのカソード電位が( $V_{dd}-V_f$ )まで上昇するとオフするので、負荷容量7の端子電圧は、昇圧時も( $V_{dd}-V_f$ )[V]までしか上がらないため、電源 $V_{dd}$ から供給しなければならないエネルギーが多くなる。

【0020】このように、低電圧駆動の液晶ディスプレイなどでは、図18に示す従来の駆動回路では低消費電力駆動が困難である。

【0021】従って、本発明は、上記事情に鑑みて為されたものであって、駆動電圧が比較的低い容量性負荷でも、低電圧で動作させ得る駆動回路及び駆動方法を提供することを目的とする。

【0022】

【課題を解決するための手段】前記目的を達成する本発

明は、下記記載の特徴を備えている。

【0023】(1)本発明の駆動回路は、一端が接地された容量の他端にアナログスイッチ回路を介して誘導素子を直列形態に接続すると共に、一端が接地された容量性負荷の他端を該誘導素子に直列形態に接続してLC直列共振回路を形成し、前記容量性負荷の前記他端と正の駆動電圧源との間にPMOSスイッチ素子を接続し、前記容量性負荷の前記他端と接地端子との間にNMOSスイッチ素子を接続してなることを特徴とする。

【0024】(2)また、本発明の駆動回路は、一端が接地された誘導素子をアナログスイッチ回路を介して、一端が接地された容量性負荷の他端に直列形態に接続してLC直列共振回路を形成し、前記容量性負荷の前記他端と正の駆動電圧源との間にPMOSスイッチ素子を接続し、前記容量性負荷の他端と負の駆動電圧源との間にNMOSスイッチ素子を接続してなることを特徴とする。

【0025】(3)本発明の駆動回路は、上記(1)、(2)記載の駆動回路において、前記容量性負荷が、アクティブマトリクス液晶パネルであり、前記アクティブマトリクス液晶パネルの対向電極が、前記容量性負荷の他端の位置に接続されたことを特徴とする。

【0026】(4)本発明の駆動回路は、前記アクティブマトリクス液晶パネルにおいて、前記対向電極を第1の基板側に配置された画素電極と信号線方向の前記画素電極間の領域に対向する部分を、前記信号線と平行にパターンニングし、パターンニングされた前記対向電極を1ラインおきにつなぎ同電位とした第1の電極群と、前記第1の電極群以外のパターンニングされた前記対向電極をつなぎ同電位とした第2の電極群の2つの電極群をもつパネル構造を形成し、前記容量性負荷(上記

(1)、(2)参照)が前記第1の電極群と前記第1の基板との間にできる容量であり、前記第1の電極群を前記容量性負荷の前記他端の位置に接続した第1の駆動回路群と、前記容量性負荷が、前記第2の電極群と前記第1の基板との間にできる容量であり、前記第2の電極群を前記容量性負荷の前記他端の位置に接続した第2の駆動回路群の二組の駆動回路群を形成してなることを特徴とする。

【0027】(5)本発明の駆動回路は、上記(4)記載の前記パネル構造において、前記第1の電極群に、アナログスイッチ回路を介して誘導素子を直列形態に接続すると共に、前記第2の電極群を前記該誘導素子に直列形態に接続してLC直列共振回路を形成し、前記第1の電極群と正の駆動電圧源との間にPMOSスイッチ素子を接続し、前記第1の電極群と接地端子との間にNMOSスイッチ素子を接続し、前記第2の電極群と正の駆動電圧源との間にPMOSスイッチ素子を接続し、前記第2の電極群と接地端子との間にNMOSスイッチ素子を接続してなることを特徴とする。

【0028】(6)本発明の駆動方法は、上記(3)に記載の前記駆動回路の駆動方法において、前記第1の基板上の前記信号線に印加される信号波形を前記画素電極に印加すべき画像信号に対応して駆動し、前記信号波形の立ち上がり、立ち下がりに同期して、上記(1)～

(2)のいずれかに記載の前記NMOSスイッチ素子、前記PMOSスイッチ素子とともに開状態として、前記誘導素子、前記容量、及び前記アクティブマトリクス液晶パネルから構成されるLC直列共振回路の共振周期の概ね2分の1の期間、前記アナログスイッチ回路をオンし、前記アクティブマトリクス液晶パネルの前記対向電極に蓄積された電荷を前記誘導素子へ移す第1の期間と、前記アナログスイッチ回路、前記PMOSスイッチ素子とともに開状態として、前記NMOSスイッチ素子をオンする第2の期間と、前記NMOSスイッチ素子、前記PMOSスイッチ素子とともに開状態として、共振周期の概ね2分の1の期間、前記アナログスイッチ回路をオンし、前記誘導素子に蓄積された電荷を前記アクティブマトリクス液晶パネルの前記対向電極へ移す第3の期間と、前記アナログスイッチ回路、前記NMOSスイッチ素子とともに開状態として、前記PMOSスイッチ素子をオンする第4の期間の4つの期間を順に繰り返すことで前記対向電極の電圧を交流駆動し、前記走査線及び前記信号線を、隣り合う前記走査線ごとに前記対向電極に対する前記画素電極に印加される電圧極性が反対になるように順次駆動(以下、走査線反転駆動法と省略する)することを特徴とする。

【0029】(7)本発明の駆動方法は、上記(6)に記載の前記駆動方法の前記走査線に印加する走査線信号を1ライン以上おきに走査して、複数フレームで1画面を構成するようにしたことを特徴とする。

【0030】(8)本発明の駆動方法は、上記(4)に記載の前記駆動回路の駆動方法において、前記駆動回路の前記第1の駆動回路群と前記第2の駆動回路群のそれぞれが、上記(6)に記載の前記駆動方法で駆動し、前記第1の駆動回路群と前記第2の駆動回路群を逆相で駆動し、前記第1の駆動回路群と前記第2の駆動回路群のそれぞれにおいて、前記アナログスイッチ回路に印加される信号波形の立ち上がり時に同期して前記第1の基板上の前記信号線に印加される信号波形を前記画素電極に印加すべき画像信号に対応して駆動し、前記第1の基板上の前記走査線及び前記信号線を、隣り合う前記画素電極ごとに前記対向電極に対する前記画素電極に印加される電圧極性が反対になるように順次駆動(以下、ドット反転駆動法と省略する)することを特徴とする。

【0031】(9)本発明の駆動方法は、上記(5)に記載の駆動回路の駆動方法において、前記駆動回路の前記走査線及び前記信号線を、前記ドット反転駆動法で駆動し、前記第1の電極群の電位と前記第2の電極群の電位が逆極性で駆動され、前記第1の電極群と正の駆動電圧

源との間の前記PMOSスイッチ素子と前記第2の電極群と接地端子との間の前記NMOSスイッチ素子が同時にオンし、前記第1の電極群と接地端子との間の前記NMOSスイッチ素子と前記第2の電極群と正の駆動電圧源との間の前記PMOSスイッチ素子が同時にオンするように駆動することを特徴とする。

【0032】

【発明の実施の形態】本発明の実施の形態について図面を参照して説明する。図1は、本発明の駆動回路の第1の実施の形態の構成を示す図である。図1を参照して、本発明の第1の実施の形態においては、図18に示した従来の駆動回路に設けられていたダイオード47及び48が除かれており、アナログスイッチ回路として、NMOSTランジスタ3とPMOSTランジスタ4を並列に接続し、ゲートに互いに相補信号S1、S1 $\bar$ が入力されるCMOSTランスファゲート回路が用いられている。また、負荷容量7の接地されていない端子と正の駆動電圧源+V $\bar$ ddとの間にはスイッチ素子としてのPMOSTランジスタ5が接続され、負荷容量7の接地されていない端子と接地端子との間にスイッチ素子としてNMOSTランジスタ6が接地されている。

【0033】かかる構成によって、負荷容量7の端子電圧が昇圧時に駆動電圧+V $\bar$ ddまで上昇することが可能である。負荷容量7の端子電圧は、+V $\bar$ ddと接地電位との間で周期的に駆動され、電源から供給される電力が大幅に減少する。

【0034】次に、本発明に係る駆動回路の第2の実施の形態の構成を図2に示す。図2に示す駆動回路を、図1に示した駆動回路と比較すると、図1から容量2を除いた構成とされており、また図1の駆動回路では、NMOSTランジスタ6のソース電位は接地電位とされているのに対し、本実施形態では、負の駆動電圧(-V $\bar$ dd)に設定されている。回路の動作自体は、基本的には、図1に示した駆動回路と同様であるが、負荷容量2の端子電圧が+V $\bar$ ddと-V $\bar$ ddの間で周期的に駆動され、電源から供給される電力が大幅に減少する。

【0035】上記した本発明の実施の形態の駆動回路において、PMOSTランジスタ、NMOSTランジスタおよびCMOSTランスファゲート(アナログスイッチ回路)は、好ましくはTFT素子で構成される。この場合、これらのランジスタは、例えば液晶ディスプレイの透明基板上において走査線のゲート電極が接続され、ドレイン/ソース電極を信号線/画素電極に接続してなる薄膜ランジスタと一括で製造することができる。

【0036】次に本発明に係る駆動回路の第3の実施の形態を図3を参照して説明する。図3を参照すると、この駆動回路は、図1に示した駆動回路の負荷容量7を、アクティブマトリクス液晶パネルとし、アクティブマトリクス液晶パネルの対向電極を節点N1に接続し、対向電極の駆動に用いたものである。

【0037】図4(a)に、駆動信号波形を示す。図4を参照して、Vgは走査線信号波形、VDは信号線信号波形であり、走査線反転駆動法で駆動する。対向電極の駆動において、図4(a)に示すように、信号線信号波形VDはNMOSスイッチ素子3とPMOSスイッチ素子4のゲート電極に印加される信号波形S1の立ち上がりに同期させて駆動する。信号線信号波形VDを画素電極に印加すべき画像信号に対応して駆動し、走査線及び信号線を、走査線反転駆動法で駆動する。

【0038】また、アクティブマトリクス液晶パネルの対向電極を交流駆動させるにあたり、TFT基板側にある画素電極の書き込み時間内に対向電極の充電及び放電を完了させなければならないことから、NMOSスイッチ素子3とPMOSスイッチ素子4をオンしている共振周期の2分の1時間は、画素電極の書き込み時間よりも短くなるようコイル1を設定する。

【0039】次に本発明に係る駆動回路の第4の実施の形態を説明する。この実施の形態においては、図3に示されるような駆動回路において、アクティブマトリクス液晶パネルの走査線に印加する走査線信号を1ライン以上おきに走査して、複数フレームで1画面を構成するよう駆動する。かかる駆動法にすることにより画素電極の書き込み時間を長くし、また信号線及び対向電極に印加される信号の反転周期を長くする。アクティブマトリクス液晶パネルの対向電極を交流駆動させるにあたり、TFT基板側にある画素電極の書き込み時間内に対向電極の充電及び放電を完了させなければならない。

【0040】アクティブマトリクス液晶パネルでは、対向電極をIndium-Tin-Oxide(インジウム・スズ酸化物、以下「ITO」という)などにより一面ベタで形成されており、例えば対向電極の4角から電荷を供給する場合において、液晶パネルの対向電極の電位をVdd[V]に設定するとき、液晶パネルの中央部では共振周期の2分の1時間と駆動電圧源Vddから電荷を供給する際、対向電極の寄生抵抗によるCR遅延による時間だけの遅延が生じる。また、大画面、高精細パネルのような容量の大きいパネルでは、共振周期及びCR遅延が長くなるため遅延はさらに大きくなる。

【0041】図3中のコイル1のインダクタンスを大きく設定すれば、LC共振のピーク電圧は上がりVddから供給される電力は低減できるが、画素電極の書き込み時間内に対向電極の充電及び放電を完了させなければならないことから、コイル1のインダクタンスを大きくすることが制限される。

【0042】図4に、本発明の実施の形態の一例を説明するための信号波形を示す。図4(a)は、従来の線順次走査駆動を用いた場合の信号波形を示し、図4(b)は、インターレース駆動を用いた場合の信号波形を示している。

【0043】図4(b)に示すように、インターレース

駆動をすることにより、画素電極の書き込み時間の長さが線順次走査駆動を用いた場合と比べて2倍になり、また信号線及び対向電極に印加される信号波形の反転周期は1/2以下になる。

【0044】このように、書き込み時間を長くすることにより、LC直列共振回路を形成している時間を長く取れるため、コイル1のインダクタンスをより大きく設定できるようになり、LC共振のピーク電圧は上がりVddから供給される電力を低減できる。

【0045】図4(b)に示すような駆動方法により、高効率な低消費電力駆動が可能になる。

【0046】次に、本発明に係る駆動回路の第5の実施の形態について、図5、及び図6を参照して説明する。図5は、本発明の第5の実施の形態の駆動回路の構成を示す図であり、図6は、この実施の形態におけるパネル構造を示す図である。

【0047】図6を参照して、この実施の形態においては、アクティブマトリクス液晶パネルにおいて、対向電極18は、画素電極19と画素電極19の信号線方向の間の領域に対向する部分で、信号線と平行にパターンニングして形成され、パターンニングされた対向電極18を1ラインおきにつないで同電位とした電極群16と、電極群16以外のパターンニングされた対向電極18をつないで同電位とした電極群17、の2つの電極群を形成し、電極群16を駆動回路14の節点N1に接続し、電極群17を駆動回路15の節点N1に接続して、第1の駆動回路群と第2の駆動回路群の2組の駆動回路群を形成し、第1の駆動回路群と第2の駆動回路群を互いに逆相になるよう駆動する。

【0048】この実施の形態においては、ドット反転駆動法で駆動するため、信号線駆動回路8と信号線駆動回路13の2つの駆動回路がある。

【0049】図7に、この実施の形態における駆動信号波形を示す。図7に示すように、互いに逆相で駆動する信号線信号波形VD1、VD2があり、1ラインおきに互いに逆相となるようにする。

【0050】図17に示されるような、対向電極18がITOなどにより画面一面にベタで形成されていた従来のパネル構造では、画質劣化の少ないドット反転駆動法は適用できなかったが、この実施の形態においては、図5、及び図6に示すような構成とすることにより、ドット反転駆動法を可能としている。

【0051】また対向電極18を短冊上に切ることにおいては、従来技術の対向電極のパターン形成と同様に行うことができるため、従来技術と比較して、工程数が増えることはない。

【0052】図8に、本発明に係る駆動回路の第6の実施の形態を示す。図8は、アクティブマトリクス液晶パネルにおいて、ドット反転駆動法を可能にする別の低消費電力駆動回路の構成を示したものである。なお、この



実施の形態においても、パネル構造は、図6に示したものと同様とされる。

【0053】図6及び図8を参照すると、対向電極18を1ラインおきにつないだ2つの電極群16、17を形成し、電極群16にNMOSTランジスタ3とPMOSTランジスタ4からなるCMOSTランスファーゲートを介してコイル1を直列形態に接続すると共に、電極群17をコイル1に直列形態に接続してLC直列共振回路を形成し、電極群16と正の駆動電圧源Vddとの間にPMOSTランジスタ5を接続し、電極群16と接地端子との間にNMOSTランジスタ6を接続し、電極群17と正の駆動電圧源Vddとの間にPMOSTランジスタ20を接続し、電極群17と接地端子との間にNMOSTランジスタ21を接続してなる構成をとる。

【0054】この実施の形態において、駆動信号波形は、図7に示したものとなり、上記「発明が解決しようとする課題」で説明した第2の期間では、電極群16の端子電圧V(N2)を0[V]に設定し保持する際に、同時に電極群17の端子電圧V(N3)をVdd[V]に設定し保持する。

【0055】第4の期間では、逆に、電極群16の端子電圧V(N2)をVdd[V]に設定し保持する際に、同時に電極群17の端子電圧V(N3)を0[V]に設定し保持する。

【0056】また、図8の構成と図5の構成の相違点は、コイル1及びNMOSTランジスタ3とPMOSTランジスタ4からなるCMOSTランスファーゲートが1つで済み容量2が必要なくなることと、電極群17の端子電圧V(N3)を電極群16の端子電圧V(N2)と同様交流駆動しななければならないためPMOSTランジスタ20とNMOSTランジスタ21が付け加えられた点である。

【0057】

【実施例】上記した本発明の実施の形態について更に詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。

【0058】

【実施例1】本発明の第1の実施の形態の説明で参照した図1に示す駆動回路と、図18に示した従来の駆動回路と、を比較して、その構成について説明する。

【0059】図1に示す駆動回路は、コイル1、容量2、基板が接地されたNMOSTランジスタ3および6、基板電位が駆動電圧Vddに設定されたPMOSTランジスタ4および5から構成され、負荷容量7を駆動する。

【0060】並列接続されたゲートに互いに相補信号S1、S1 $\bar$ が入力されるNMOSTランジスタ3とPMOSTランジスタ4とは、アナログスイッチング(CMOSTランスファーゲート)回路を構成している。

【0061】図1を参照して、本発明に係る駆動回路の

実施例においては、図18に示した従来の駆動回路に存在していたダイオード47及び48がないことが、従来の駆動回路との構成上の大きな相違点である。

【0062】さらに、本発明に係る駆動回路の実施例においては、前記アナログスイッチ回路として、接地されたNMOSTランジスタ及び基板電位が駆動電圧Vddに設定されたPMOSTランジスタを並列接続したCMOSTランスファーゲート回路を用いたことを特徴としている。

【0063】前述したように、図18に示す駆動回路では、例えば駆動電圧Vddが100[V]以上のような場合には、低消費電力駆動ができることが知られているが、駆動電圧Vddが例えば5[V]程度の低駆動電圧の場合には、低消費電力駆動ができず、低電圧駆動の液晶ディスプレイなどでは、図18に示す従来の駆動回路では低消費電力駆動が困難である。

【0064】しかしながら、本発明に係る駆動回路の実施例においては、図1に示すように、LC共振回路に直列に一切のダイオードが含まれていないので、負荷容量7とコイル1との間で、高効率に低電圧の電荷の授受が可能とされており、この結果、低電圧駆動の液晶ディスプレイなどでも、低消費電力駆動が可能となる。

【0065】図12及び図13は、本発明に係る駆動回路の一実施例と、図18に示す従来の駆動回路との相違を明確に示すための実験結果の一例をそれぞれ示す図であり、負荷容量7の端子電圧[V(N1)]と電源Vddの消費電力の時間変化を示している。図12は、図1に示す本実施例の駆動回路で5[V]駆動を行ったもので、図13は図18に示す従来の駆動回路で5[V]駆動を行なった結果を示している。

【0066】図1に示す本発明に係る駆動回路における実験(図12参照)においては、負荷容量7が200pF、容量2が20nF、コイル1のインダクタンスが32.42mH、コイル1の抵抗が10 $\Omega$ 、NMOSTランジスタ3、6は、電子移動度が600cm<sup>2</sup>/V $\cdot$ s、チャネル長が1 $\mu$ m、チャネル幅が100 $\mu$ m、ゲート酸化膜厚25nm、閾値電圧1V、PMOSTランジスタ4、5は、正孔移動度が300cm<sup>2</sup>/V $\cdot$ s、チャネル長が1 $\mu$ m、チャネル幅が200 $\mu$ m、ゲート酸化膜厚25nm、閾値電圧1Vのものをを用いた。

【0067】一方、図18に示した従来の駆動回路の実験(図13参照)においては、負荷容量7が200pF、容量2が20nF、コイル1のインダクタンスが32.42mH、コイル1の抵抗が10 $\Omega$ 、NMOSTランジスタは、電子移動度が600cm<sup>2</sup>/V $\cdot$ s、チャネル長が1 $\mu$ m、チャネル幅が100 $\mu$ m、ゲート酸化膜厚25nm、閾値電圧1V、PMOSTランジスタは、正孔移動度が300cm<sup>2</sup>/V $\cdot$ s、チャネル長が1 $\mu$ m、チャネル幅が200 $\mu$ m、ゲート酸化膜厚25nm、閾値電圧1V、ダイオード47及び48は、順方

向電圧が0.6Vのものを用いた。スイッチ素子43および44には、上記NMOSTランジスタおよびPMOSTランジスタで構成されるCMOSTランスファークート回路を用いた。またスイッチ素子45には上記PMOSTランジスタ、スイッチ素子46には上記NMOSTランジスタを用いた。

【0068】そして、図18に示した従来の駆動回路において、上記第1の期間が約 $8\mu\text{s}$ 、第2の期間が約 $12\mu\text{s}$ 、第3の期間が約 $8\mu\text{s}$ 、第4の期間が約 $12\mu\text{s}$ 、となるように設定して、それぞれ実験を行った結果を示している。

【0069】図12及び図13には、回路の動作が定常状態となった後の、負荷容量7の端子電圧 $[V(N1)]$ と電源 $V_{dd}$ の消費電力 $[W]$ の時間変化を示している。

【0070】図13の実験結果から、図18に示す従来の駆動回路では、 $V(N1)$ の上昇/下降時に、ダイオードがオフすることに起因した、1.2[V]程度の電圧の不連続変化が明確に観察できる。

【0071】そして、電圧上昇時の不連続変化が起きている時刻では、ピーク電力が約15mWのパルス状に消費電力が急増してしまった。

【0072】一方、図12の実験結果に示すように、本発明に係る駆動回路の実施例では、 $V(N1)$ の上昇/下降時の電圧の不連続変化はほとんど発生しなかった。また消費電力は、どの時刻においても1mW程度以下であった。このようにして、本発明に係る駆動回路の作用効果が検証された。

【0073】

【実施例2】図2は、本発明の別の実施例の駆動回路を示している。図2の駆動回路は、図1に示す本発明の一実施形態の駆動回路と比較すると、容量2がない構成であり、MNOSTランジスタ6のソース電位が負の駆動電圧 $(-V_{dd})$ に設定されている。回路の動作自体は、図1に示した駆動回路と同様であるが、負荷容量の端子電圧が $+V_{dd}$ と $-V_{dd}$ の間で周期的に駆動される点だけが異なっている。

【0074】図2に示す駆動回路も、負荷容量7が200pF、コイル1のインダクタンスが32.42mH、コイル1の抵抗が10 $\Omega$ 、NMOSTランジスタ3、6は、電子移動度が $600\text{cm}^2/\text{V}\cdot\text{s}$ 、チャネル長が1 $\mu\text{m}$ 、チャネル幅が100 $\mu\text{m}$ 、ゲート酸化膜厚25nm、閾値電圧1V、PMOSTランジスタ4、5は、正孔移動度が $300\text{cm}^2/\text{V}\cdot\text{s}$ 、チャネル長が1 $\mu\text{m}$ 、チャネル幅が200 $\mu\text{m}$ 、ゲート酸化膜厚25nm、閾値電圧1Vのものを用いて、実験した結果、低電力駆動を実現できた。

【0075】

【実施例3】本発明に係る駆動回路の一実施例を図3に示す。図3に示す駆動回路は、図1に示した駆動回路の

負荷容量7をアクティブマトリクス液晶パネルとし、アクティブマトリクス液晶パネルの対向電極を節点N1に接続し、対向電極の駆動に用いる。

【0076】図4(a)に駆動信号波形を示す。 $V_g$ は走査線信号波形、VDは信号線信号波形であり、走査線反転駆動法で駆動する。対向電極の駆動において、図4(a)に示すように、信号線信号波形VDは、NMOSスイッチ素子3とPMOSスイッチ素子4のゲート電極に印加される信号波形S1の立ち上がり同期させて駆動する。信号線信号波形VDを画素電極に印加すべき映像信号に対応して駆動し、前記走査線及び前記信号線を走査線反転駆動法で駆動する。

【0077】またアクティブマトリクス液晶パネルの対向電極を交流駆動させるにあたり、TFT基板側にある画素電極の書き込み時間内に対向電極の充電及び放電を完了させなければならないことから、NMOSスイッチ素子3とPMOSスイッチ素子4をオンしている共振周期の2分の1の期間は画素電極9の書き込み時間よりも短くなるようコイル1を設定する。

【0078】図14に、6.5型パネルを0[V]と5[V]で周期的に駆動させた際の端子電圧 $[V(N1)]$ と電源 $V_{dd}$ の消費電力の時間変化の実験結果を示す。

【0079】図14は、6.5型パネル、対向電極のシート抵抗5 $\Omega/\square$ 、容量2が100 $\mu\text{F}$ 、NMOSTランジスタ3、6は、電子移動度が $917\text{cm}^2/\text{V}\cdot\text{s}$ 、チャネル長が0.78 $\mu\text{m}$ 、チャネル幅が800 $\mu\text{m}$ 、ゲート酸化膜厚16nm、閾値電圧0.7V、PMOSTランジスタ4、5は電子移動度が $643\text{cm}^2/\text{V}\cdot\text{s}$ 、チャネル長が0.94 $\mu\text{m}$ 、チャネル幅が1600 $\mu\text{m}$ 、ゲート酸化膜厚16nm、閾値電圧0.8Vのものを用いた実験結果である。

【0080】図14において、P1の位置にあるひげ状の波形は、信号線に印加される信号線波形の影響により端子電圧 $[V(N1)]$ が変動している。

【0081】P1の位置で、消費電力が大きなピークをもつが、電源 $V_{dd}$ への放電であるので電源 $V_{dd}$ から供給される消費電力が増えるわけではない。このようにして、本発明に係る駆動回路の実施例の作用効果が検証された。

【0082】

【実施例4】本発明に係る駆動方法の一実施例においては、走査線に印加する走査線信号を1ライン以上おきに走査して複数フレームで1画面を構成することにより画素電極の書き込み時間を長くし、またソースバスライン及び対向電極に印加される信号の反転周期を長くする。

【0083】図3に示すように、対向電極を交流駆動させるにあたり、画素電極の書き込み時間内に対向電極の充電及び放電を完了させなければならない。アクティブマトリクス液晶パネルでは、図17に示すように、対向

電極18をITOなどにより一面べたで形成されており、例えば対向電極の4角から電荷を供給する場合において液晶パネルの対向電極18の電位をV<sub>dd</sub> [V]に設定するとき、液晶パネルの中央部では共振周期の2分の1の期間と駆動電圧源V<sub>dd</sub>から電荷を供給する際、対向電極の寄生抵抗によるCR遅延による時間だけの遅延が生じる。

$$T = \frac{4\pi L}{\left[\frac{4L}{C} - R^2\right]^{\frac{1}{2}}} \quad \dots(1)$$

V(N1)[t]

$$= \left\{ C1 \times \frac{V1}{(C1 + Cp)} \right\} \times \left[ 1 - e^{-\alpha t} \left\{ \cos(\gamma t) + \left[ \frac{\alpha}{\gamma} \right] \times \sin(\gamma T) \right\} \right] \quad \dots(2)$$

【0086】なお、上式(1)、(2)中のC1、V1は、容量2の容量値と容量2にかかっている端子電圧、Cpは負荷容量7の容量値、Lはコイル1のインダクタンスであり、 $\alpha$ 、 $\gamma$ 、C、は以下に示される、式(3)、(4)、(5)で表される。また上式(1)、

$$\alpha = \frac{-R}{2L} \quad \dots(3)$$

$$\gamma = \left\{ \frac{1}{LC} - \left[ \frac{R}{2L} \right]^2 \right\}^{\frac{1}{2}} \quad \dots(4)$$

$$C = Cp \times \frac{C1}{(Cp + C1)} \quad \dots(5)$$

【0088】LC共振を終えたとき、すなわちV(N1)[t]がピーク値を取るときV(N1)[T/2]は、上式(1)、(2)より、以下の式(6)で与えら

$$V(N1) \left[ \frac{T}{2} \right] = \left\{ C1 \times \frac{V1}{(C1 + Cp)} \right\} \times \left[ 1 + \exp \left\{ - \frac{\pi}{\left[ \frac{4L}{CR^2} - 1 \right]^{\frac{1}{2}}} \right\} \right] \quad \dots(6)$$

【0090】図1に示した回路構成において、効率よく低消費電力駆動を行うためには、上式(6)に示されるようにコイル1のインダクタンスを大きく設定すればよいが、上式(1)からも分かるように、共振時間も長くなるため、液晶ディスプレイの対向電極を交流駆動させる際、容量の大きなパネルなどでは、書き込み時間内に対向電極の充電及び放電ができなくなることが考えられる。また、高精細パネルも書き込み時間が短くなるため書き込み時間内に対向電極の充電及び放電ができなくなる可能性がある。

【0084】図1の駆動回路において、LC直列共振回路を形成している期間のLC共振の共振周期T及び容量性負荷7の任意時間tの端子電圧V(N1)[t]は、次式(1)、(2)で示される。

【0085】

【数1】

(2)中のRは、コイル及び容量、スイッチ素子の寄生抵抗成分である。

【0087】

【数2】

れる。

【0089】

【数3】

【0091】図15に、9.4型パネルを0[V]と5[V]で周期的に駆動させた際のコイル1のインダクタンスと対向電極の書き込み時間(対向電極の電位がV<sub>dd</sub>[V]に達する時間)及び消費電力の関係を示す。

【0092】図15は、9.4型パネル、対向電極のシート抵抗20Ω/□、容量2が100μF、NMOSTランジスタ3、6は、電子移動度が917cm<sup>2</sup>/V・s、チャネル長が0.78μm、チャネル幅が800μm、ゲート酸化膜厚16nm、閾値電圧0.7V、PMOSTランジスタ4、5は電子移動度が643cm<sup>2</sup>/

$V \cdot s$ 、チャネル長が $0.94 \mu m$ 、チャネル幅が $1600 \mu m$ 、ゲート酸化膜厚 $16 nm$ 、閾値電圧 $0.8 V$ のものをを用いた実験結果である。

【0093】本実施例では、書き込み時間を長くし、上記で説明した第1の期間、第3の期間が長く取れるようになり、コイル1のインダクタンスを大きく設定し、上式(6)から求められる $V(N1) [T/2]$ が大きくなり、 $Vdd$ から供給される電力を低減できる。

【0094】また信号線及び対向電極に印加される信号の反転周期も長くなるため、消費電力はさらに低減できる。

【0095】本発明の実施例の一例として、走査線に印加する走査線信号をインターレース駆動した場合、従来の線順次駆動について、図4(b)と図4(a)にそれぞれ示す。

【0096】インターレース駆動にすることにより、線順次駆動した場合と比べて、信号線及び対向電極に印加される信号の周波数は $1/2$ となり、画素電極の書き込み時間は2倍以上になる。これにより、コイル1のインダクタンスを走査線信号を線順次駆動した場合と比べて大きく設定できるようになり、消費電力は低減できる。

【0097】

【実施例5】本発明に係る駆動回路の別の実施例を図5、図6を参照して説明する。図5は本発明の実施例に係る駆動回路の構成を示す図であり、図6は、本発明の一実施例のパネル構造を示す図である。

【0098】図6に示すように、アクティブマトリクス液晶パネルにおいて、対向電極18を画素電極19と画素電極19の信号線方向の間の領域に対向する部分を、信号線と平行にパターンニングし、パターンニングされた対向電極18を1ラインおきにつなぎ同電位とした電極群16と電極群16以外のパターンニングされた対向電極18をつなぎ同電位とした電極群17の2つの電極群を形成し、電極群16を駆動回路14の節点N1に接続し、電極群17を駆動回路15の節点N1に接続して第1の駆動回路群と第2の駆動回路群の2組の駆動回路群を形成し、第1の駆動回路群と第2の駆動回路群を互いに逆相になるよう駆動する。ドット反転駆動法で駆動するため、信号線駆動回路8と13の2つの駆動回路がある。

【0099】図7に、本実施例の駆動回路の駆動信号波形を示す。TFT基板側にある信号線に印加する信号波形は、図7に示すように、1ラインおきに互いに逆相となるようにする。

【0100】図17に示されるような対向電極18がITOなどにより画面一面にベタで形成されていた従来のパネル構造では画質劣化の少ないドット反転駆動法は適用できなかったが、図5、図6に示される構成にすることによりドット反転駆動法を可能にする。また、対向電極18を短冊上に切ることにおいては、従来の対向電極

のパターン形成と同様に行うことができるため、従来より工程数が増えることはない。

【0101】図6のパネル構造の一実施例として信号線方向の画素構造の断面図を、図9に示す。

【0102】図9に示されるように、対向電極23は、ガラス基板29上の画素電極25と画素電極25の信号線方向の間の領域に対向する部分で、信号線と平行にパターンニングされている。図9のようなパネル構造では、対向電極23が画素電極25と画素電極25の信号線方向の間の領域に対向する部分のみに形成されているため信号線-対向電極間容量が低減でき、対向電極23とガラス基板29上の各電極との間の容量が低減できる。

【0103】図9に示すような構造を備えた6.5型VGAのパネル容量(対向電極23とガラス基板29側の各電極間の容量)は、約 $40 [nF]$ となり、図3の従来のパネル構造でのパネル容量約 $80 [nF]$ の約 $1/2$ となった。

【0104】さらに図5に示される本実施例では、対向電極を2つに分けて2つの駆動回路で駆動するため1つの駆動回路での負荷容量はさらに半分になる。

【0105】これにより、上式(1)で表される $Cp$ の大きさに比例する共振時間が短縮され、上式(6)で表される $Cp$ の大きさに反比例するピーク電圧 $V(N1) [T/2]$ が上がり、 $Vdd$ から供給する消費電力が低減する。

【0106】図5の構成をとることにより画質劣化の少ないドット反転駆動のできる低消費電力駆動を可能にする。

【0107】

【実施例6】図10に、本発明の別の実施例の構成を示す。上記実施例5で説明した電極群16と電極群17の2つの電極群を形成する際、図10に示すように、まずパターンニングされた対向電極18を1ラインおきに、C2の位置で、Cr、Alなどの導体による導電膜30を介して電気的に接続し、同電位とした電極群16を形成する。

【0108】次に対向電極18上に絶縁膜を蒸着した後、電極群16以外のパターンニングされた対向電極18のC1の位置でエッチングにより前記絶縁膜にコンタクトホール32を形成した後、Cr、Alなどの導体による導電膜31を介して電気的に接続し、同電位とした電極群17を形成する。

【0109】電極群16、17を、図10のような構成にすることにより、対向電極18の書き込みが上下から行えるようになり、より効率的な低消費電力駆動を可能にする。

【0110】

【実施例7】図8に本発明に係る駆動回路の別の実施例を示す。図8は、アクティブマトリクス液晶パネルにお

いて、ドット反転駆動法を可能にする別の低消費電力駆動回路の構成を示したものである。パネル構造は、図6に示したものと同様とされる。

【0111】図6に示すように、対向電極18を1ラインおきにつないだ2つの電極群16、17を形成した構造とする。電極群16にNMOSTランジスタ3とPMOSTランジスタ4からなるCMOSTランスファークエートを経してコイル1を直列形態に接続すると共に、電極群17をコイル1に直列形態に接続してLC直列共振回路を形成する。一方電極群16と正の駆動電圧源V<sub>dd</sub>との間にPMOSTランジスタ5を接続し、電極群16と接地端子との間にNMOSTランジスタ6を接続する。また電極群17と正の駆動電圧源V<sub>dd</sub>との間にPMOSTランジスタ20を接続し、電極群17と接地端子との間にNMOSTランジスタ21を接続する。

【0112】駆動信号波形は図7に示すようになり、上記「発明が解決しようとする課題」で述べた第2の期間では、電極群16の端子電圧V(N2)を0[V]に設定し保持する際に、同時に電極群17の端子電圧V(N3)をV<sub>dd</sub>[V]に設定し保持する。第4の期間では逆に、電極群16の端子電圧V(N2)をV<sub>dd</sub>[V]に設定し保持する際に、同時に電極群17の端子電圧V(N3)を0[V]に設定し保持する。

【0113】また図8の構成と図5の構成の相違点は、コイル1及びNMOSTランジスタ3とPMOSTランジスタ4からなるCMOSTランスファークエートが1つで済み容量2が必要なくなることで、電極群17の端子電圧V(N3)を電極群16の端子電圧V(N2)と同様交流駆動しなければならないため、PMOSTランジスタ20とNMOSTランジスタ21が付け加えられた点である。

【0114】図8の構成の基本的な回路構成は、図11に示すようなものとなる。図11に示す回路において、駆動実験を行った結果を、図16に示す。

【0115】図16に示す駆動実験では、負荷容量33、34が20nF、コイル1のインダクタンスが1mH、コイル1の抵抗が25Ω、NMOSTランジスタ3、6、21は、電子移動度が917cm<sup>2</sup>/V・s、チャネル長が0.78μm、チャネル幅が100μm、ゲート酸化膜厚16nm、閾値電圧0.7V、PMOSTランジスタ4、5、20は電子移動度が643cm<sup>2</sup>/V・s、チャネル長が1μm、チャネル幅が200μm、ゲート酸化膜厚16nm、閾値電圧0.8Vのものを用いた。

【0116】図16の結果が示すように、電極群16の端子電圧V(N2)と電極群17の端子電圧V(N3)は互いに逆相で振られていることがわかる。

【0117】また図16の結果から、図8の構成をとることにより、画質劣化の少ないドット反転駆動のできる低消費電力駆動を可能であることが検証された。

## 【0118】

【発明の効果】以上説明したように、本発明によれば、低電圧の負荷容量でも、低消費電力駆動が可能であるという効果を奏する。また、本発明の駆動方法及び駆動回路を用いることにより、画質劣化の少ないドット反転駆動のできる効率のよい低消費電力駆動が可能である。

## 【図面の簡単な説明】

【図1】本発明の実施例1の駆動回路を説明するための図である。

【図2】本発明の実施例2の駆動回路を説明するための図である。

【図3】本発明の実施例3の駆動回路を説明するための図である。

【図4】本発明の実施例4を説明するための駆動信号波形を示す図である。

【図5】本発明の実施例5の駆動回路を説明するための図である。

【図6】本発明の実施例5を説明するためのパネル構造である。

【図7】本発明の実施例5、7を説明するための駆動信号波形を示す図である。

【図8】本発明の実施例7を説明するための回路構成図である。

【図9】本発明の実施例5のパネル構造の一例を示す断面図である。

【図10】本発明の実施例6を説明するための対向電極の構成図である。

【図11】本発明の実施例7の基本的構造を示す回路図である。

【図12】本発明の実施例1の実測結果を示す図である。

【図13】比較例として、従来駆動回路の実測結果を示す図である。

【図14】本発明の実施例3の実測結果を示す図である。

【図15】本発明の実施例3において、9.4型パネルでのコイル1のインダクタンスと対向電極の書き込み時間（対向極の電圧がV<sub>dd</sub>[V]に達する時間）及び消費電力の関係を示す図である。

【図16】本発明の実施例7の基本的構造の実測結果を示す図である。

【図17】従来のパネル構造を示す図である。

【図18】従来の駆動回路の構成を示す図である。

## 【符号の説明】

- 1 コイル
- 2 容量
- 3、6、21 NMOSスイッチ素子
- 4、5、20 PMOSスイッチ素子
- 7 負荷容量
- 8、13 信号線駆動回路

- ## 9 走査線駆動回路

- 10 TFT

- 11 補助容量

- ## 12 液晶容量

- ### 14、15 驅動回路

- 16、17 電極群

- 18 対向電極

- 19 画素電極

- 22、29 ガラス基板

- ## 23 対向電極

- ## 24 液晶層

- ## 25 画素電極

- ## 26 信号線

- ## 27 透明絶縁膜層

- 28 ゲート遮光層

- 30、31 導電膜

- ## 32 コンタクトホール

- ### 33、34 負荷容量

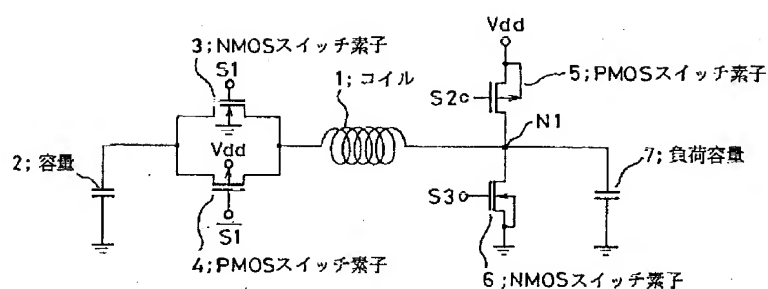
- 41 コイル

- ## 42 容量

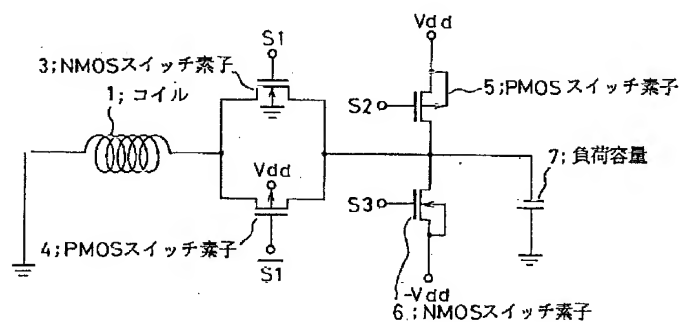
- 43、44、45、46 スイッチ素子

- 47、48 ダイオード

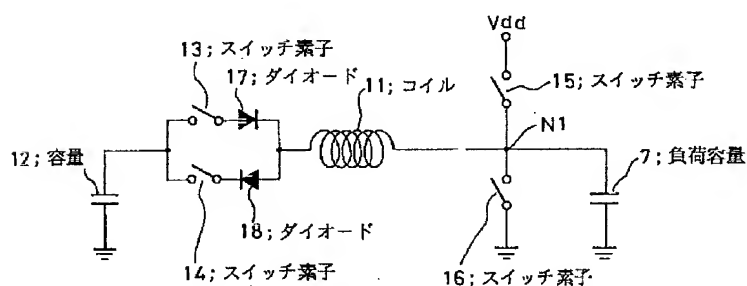
【图 1】



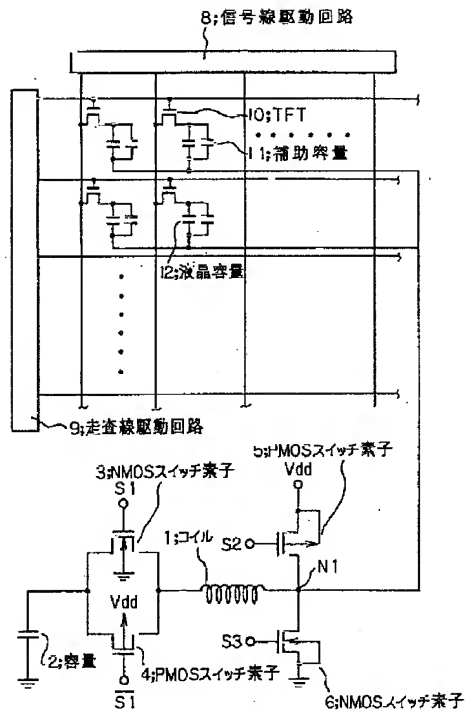
【图2】



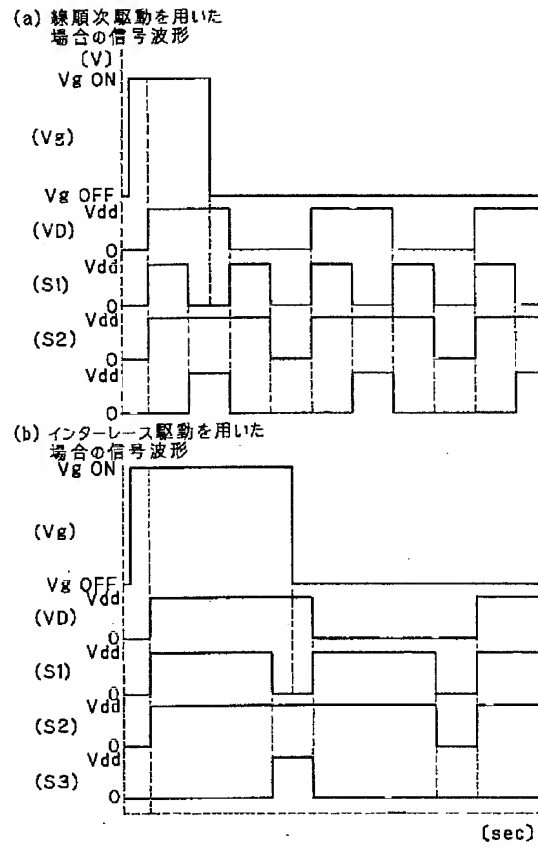
【例 18】



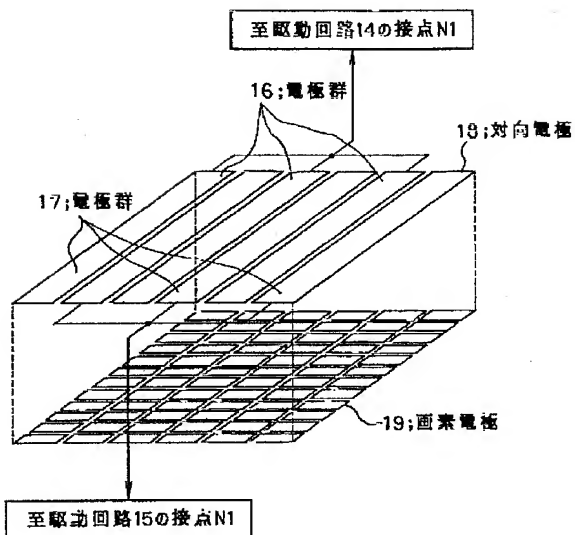
【図3】



【図4】



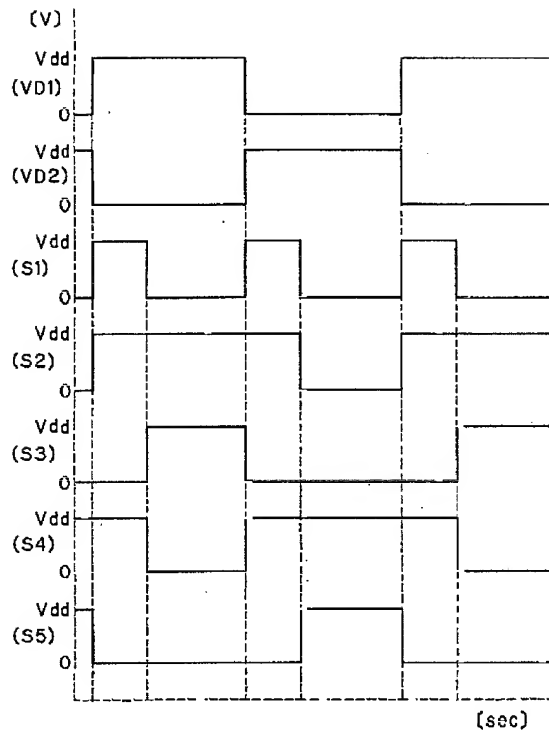
【図6】



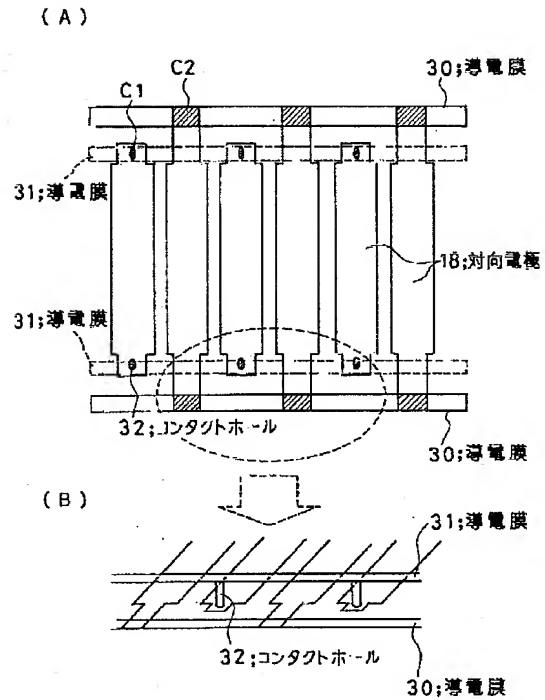




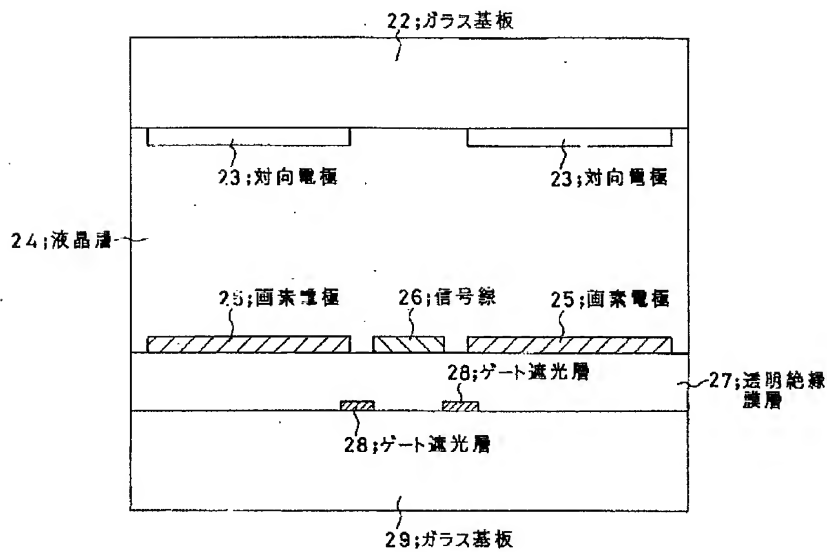
【図7】



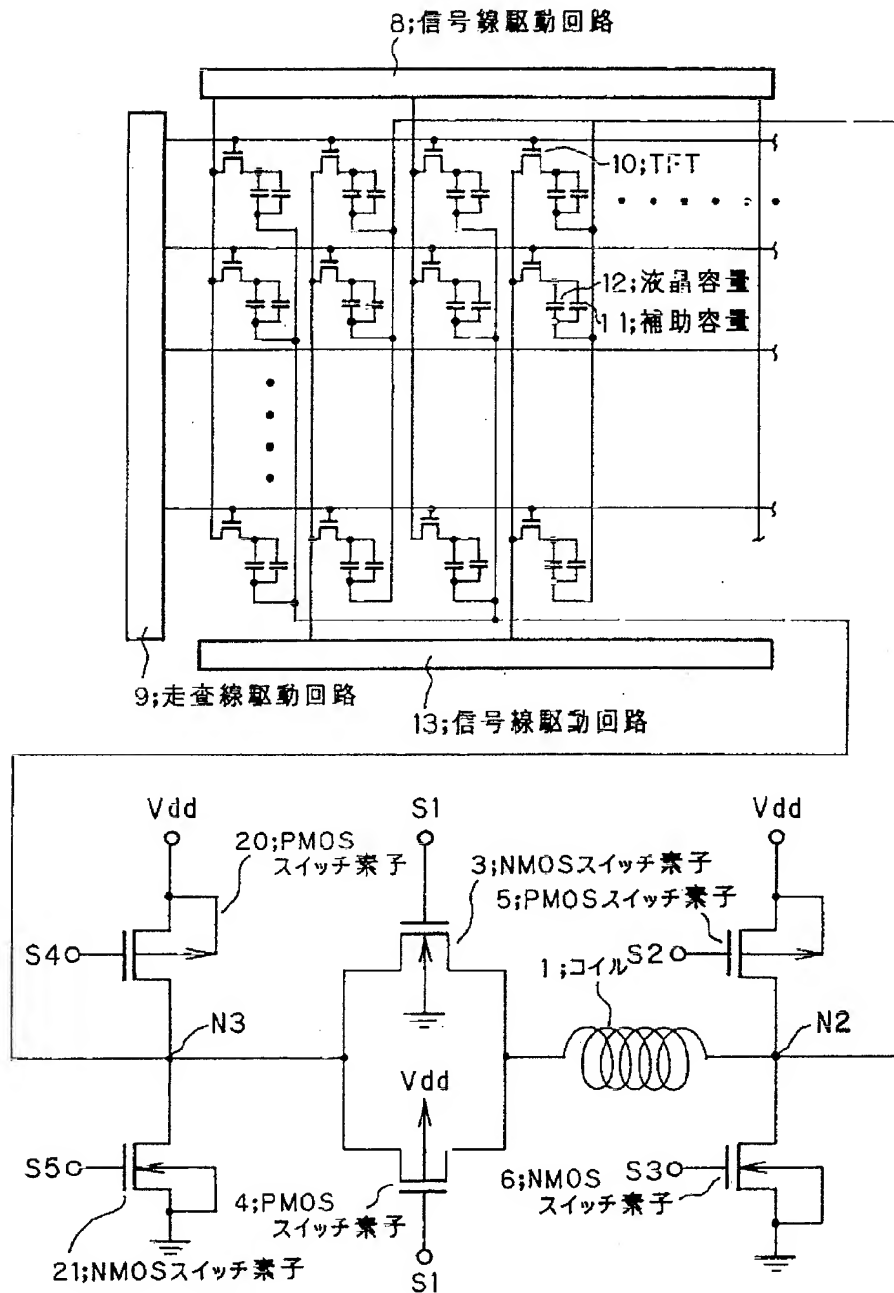
【図10】



【図9】

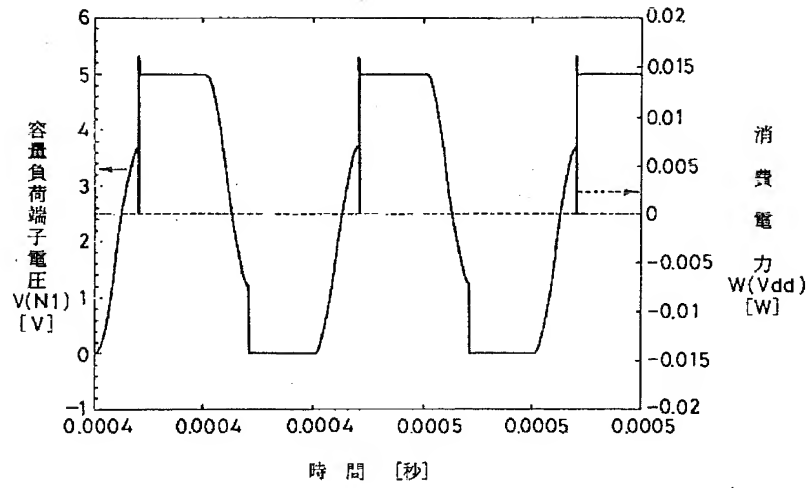


【図8】

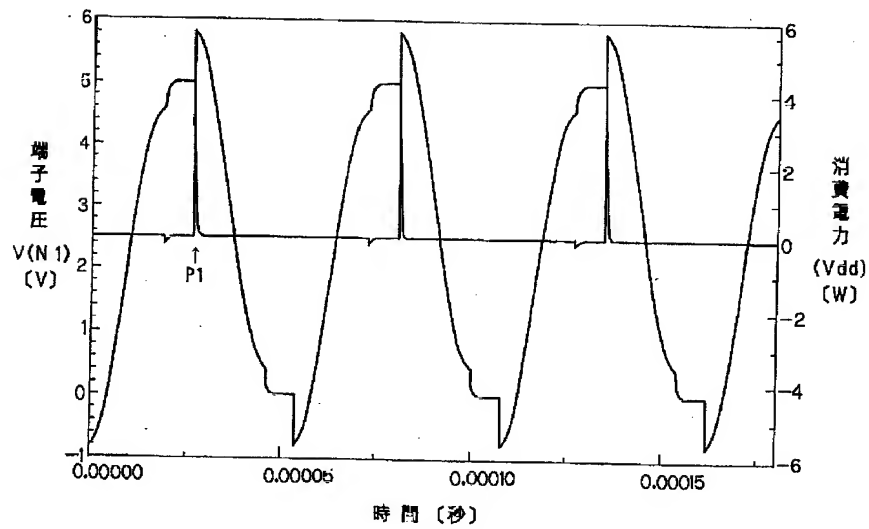




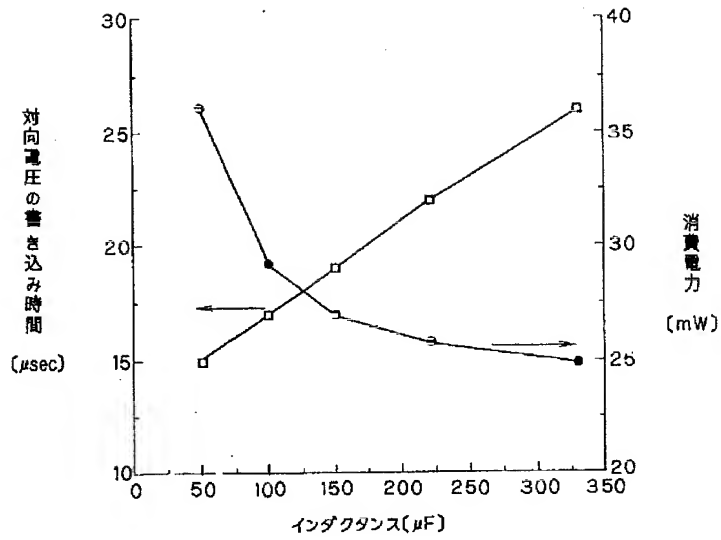
【図13】



【図14】



【図15】



【図16】

